

# PATENT ABSTRACTS OF JAPAN

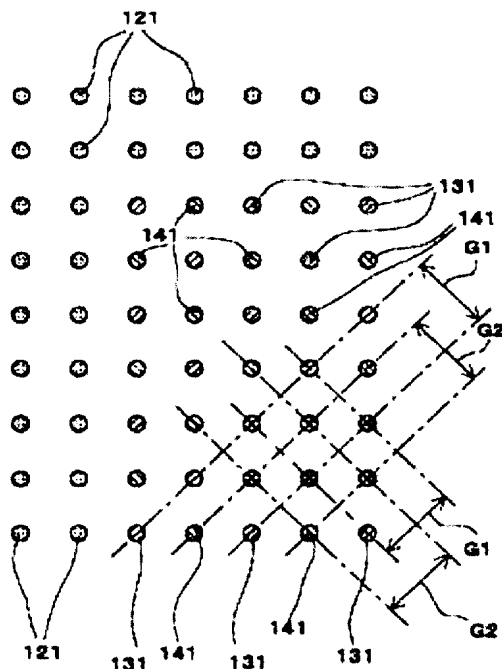
(11)Publication number : 2001-044591

(43)Date of publication of 16.02.2001  
application :

(51)Int.Cl. H05K 1/11  
H05K 1/02  
H05K 3/46  
// H05K 1/18

(21)Application number : 11-219686 (71)Applicant NGK SPARK PLUG CO LTD  
(22)Date of filing : 03.08.1999 (72)Inventor OGAWA KOJU  
KODERA EIJI

## (54) WIRING BOARD



o provide a wiring board, in which a ductance are connected with a power

r mounting an IC chip CH is provided which are formed by penetrating resin to a power potential to work as a chip CH, and a number of ground vias potential to work as a return route of the ranged like a grid, and the ground vias Furthermore, the power vias 131 and crossing points of the respective grid

[Claim(s)]

[Claim 1]The 1st beer of a large number used as an outward trip of current which it is a wiring board for carrying an IC chip, is formed in an insulating layer and the above-mentioned insulating layer, it is connected to the 1st potential, and is supplied to the above-mentioned IC chip, It is formed in the above-mentioned insulating layer, have the 2nd beer of a large number which are connected to the 2nd potential and serve as a return trip of the above-mentioned current, and the 1st beer of above-mentioned a large number, A wiring board which it is mutually arranged in the shape of a lattice, and the 2nd beer of above-mentioned a large number is mutually arranged in the shape of a lattice, and is characterized by arranging the 1st beer of above-mentioned a large number, and much 2nd beer at an eye of a respectively mutual lattice.

[Claim 2]IC connecting face which has IC contact button which is the wiring board according to claim 1, and is connected with said IC chip, Have the 1st potential plain connected to said 1st potential, and the 2nd potential plain connected to said 2nd potential, and the 1st beer of said insulating layer and a large number, and much 2nd beer, It is located between the above-mentioned IC connecting face, and the above-mentioned 1st potential plain and the 2nd potential plain, and the 1st beer of said large number, and much 2nd beer, On the other hand, a wiring board characterized by connecting with the above-mentioned IC contact button on the other hand, respectively while connecting with the above-mentioned 1st potential plain and the 2nd potential plain, respectively.

[Claim 3]A wiring board which is the wiring board according to claim 2, and is characterized by said 1st potential plain and the 2nd potential plain countering mutually via a high dielectric layer, and constituting an electrode of a capacitor, respectively.

[Claim 4]A wiring board which is the wiring board according to claim 2 or

3, and is characterized by having connected said 1st potential plain and the 2nd potential plain to a terminal of a capacitor carried in the above-mentioned wiring board, respectively.

[Claim 5]A wiring board, wherein it is the wiring board according to any one of claims 2 to 4, it has said two or more insulating layers between said 1st potential plain and the 2nd potential plain, and said IC connecting face and two or more above-mentioned insulating layers are provided with the 1st beer and the 2nd beer of said arrangement, respectively.

#### [Detailed Description of the Invention]

[0001]

[Field of the Invention]This invention relates to the wiring board which has beer especially with small inductance about the wiring board which has much beer linked to either of two potential, such as power supply potential and earth potentials.

[0002]

[Description of the Prior Art]In supplying power supply potential and earth potentials to an IC chip, many power supply terminals and earthing terminals are formed in an IC chip, and supplying power supply potential and earth potentials in parallel through these terminals from a wiring board is performed. If it does in this way, leading about of the power supply wiring in an IC chip and grounding wiring will decrease, and a circuit design will become easy, and also it is because each potential can be supplied by low resistance by carrying out direct supply in parallel with a necessary part. The arrangement of the terminal of the IC chip in this case is designed in many cases so that the power supply terminal which makes a sequence, and an earthing terminal may make the stripe shape arrangement located in a line by turns, respectively. In connection with it, the arrangement of the beer in a wiring board is also shown, for example in drawing 7. That is, signal beer SV (drawing 7 two rows the left and on) for

outputting and inputting a signal is formed in the circumference among beer arrangement. In addition, it forms in the center (drawing 7 the lower right side 5x7 pieces) in many cases so that the stripe shape arrangement which makes a sequence, respectively and is located in a line by turns in the beer (grounding beer) GV which is connected to beer (power supply beer) PV and earth potentials which are connected to power supply potential and make some power supply wiring, and forms some grounding wiring may be made. By drawing 7, plane view is carried out among the beer arrangement formed in the wiring board, and the situation of beer arrangement is shown about about 1/upper left 4 range.

[0003]

[Problem(s) to be Solved by the Invention]However, in the above stripe shape arrangement, inductance of each power supply beer PV and the grounding beer GV was not able to be reduced enough. Generally, if current flows, a magnetic field will occur around it. Here, when flowing into the beer (for example, power supply beer PV) in which the current which flows into a certain beer (for example, power supply beer PV), and the current of the same direction adjoin, the magnetic field generated to both will be suited in slight strength. For this reason, in the stripe shape arrangement in which the power supply beer (or grounding beer) into which the current of the same direction flows makes a sequence, the inductance in which each power supply beer PV and the grounding beer GV have a magnetic field to generate since it suits in slight strength becomes high. Therefore, power supply potential and earth potentials were overlapped on the noise from power supply beer PV or the grounding beer GV, and there was a danger of inducing malfunction of an IC chip. This invention was made in view of this problem, and is \*\*\*\*. The purpose is to provide the wiring board which reduced the inductance about much beer linked to \*\*\*\*\* etc.

[0004]

[Means for Solving the Problem and its Function and Effect]The solving means is an IC chip a wiring board for carrying, and And an insulating layer, The 1st beer of a large number used as an outward trip of current which it is formed in the above-mentioned insulating layer, it is connected to the 1st potential, and is supplied to the above-mentioned IC chip, It is formed in the above-mentioned insulating layer, have the 2nd beer of a large number which are connected to the 2nd potential and serve as a return trip of the above-mentioned current, and the 1st beer of above-mentioned a large number, It is mutually arranged in the shape of a lattice, and the 2nd beer of above-mentioned a large number is mutually arranged in the shape of a lattice, and the 1st beer of above-mentioned a large number and much 2nd beer are wiring boards arranging at an eye of a respectively mutual lattice.

[0005]If current flows into beer as described above, a magnetic field will occur around it. If current which flows into a certain beer, and current for reverse are sent through adjoining beer here, a magnetic field generated to both will erase among them, it is, and magnetic field strength to generate will become small relatively, and inductance produced from beer will become small. In this invention, the 2nd beer used as the 1st beer used as an outward trip of current and a return trip is arranged at an eye of a mutual lattice. For this reason, since a magnetic field which will be in the state where the 2nd beer enclosed the surroundings of it, and is generated with the 1st beer will be erased among them for example, by a magnetic field generated with the 2nd beer around it in which current flows for reverse if a certain 1st beer is observed, inductance of the 1st beer becomes small. Inductance becomes small about the 2nd beer similarly, and inductance can be made small about all of the 1st and 2nd beer after all.

[0006]As a combination of the 1st potential and the 2nd potential, For example, a thing which was made into power supply potential (+ potential;

for example, +1.8V and +5V) as the 1st potential, and was made into earth potentials (0V) as the 2nd potential, or a thing which was made into + potential (for example, +5V) as the 1st potential, and was made into - potential (for example, -5V) as the 2nd potential is mentioned. Beer (beer group) of the shape of a group which a very small interval besides beer formed as beer in one breakthrough penetrated to a thickness direction of an insulating layer is vacated, and contiguity beer linked to the same potential is formed in two or more breakthroughs which adjoined mutually and were formed, respectively, and is making one group is also contained. Since it can flow certainly as the whole group-like beer and a function as beer can be made to achieve if it is beer of the shape of such a group even if either of the contiguity beer which belongs to the group according to a certain fault is disconnected, reliability becomes high and is preferred. Although a publicly known material can be used as construction material of an insulating layer, For example, a resin-resin composite material etc. which were impregnated with resin, such as an epoxy resin, are mentioned to fluororesin of the three-dimensional network structures, such as what used resin, such as an epoxy resin, polyimide resin, BT resin, and PPE resin, as the main ingredients, and PTFE which has a continuation stoma. What was composite-ized with an epoxy resin, BT resin, etc. may be used using organic textiles, such as glass fibers, such as a glass cloth and a nonwoven glass fabric, and a polyamide fiber, etc. Ceramics, such as alumina, aluminum nitride, mullite, and a glass ceramic, or a thing which composite-ized resin and the end of ceramic powder can also be used. [0007] IC connecting face which has IC contact button which is the above-mentioned wiring board and is connected with said IC chip, Have the 1st potential plain connected to said 1st potential, and the 2nd potential plain connected to said 2nd potential, and said insulating layer, much 1st beer, and much 2nd beer, It is located between the above-mentioned IC connecting face, and the above-mentioned 1st potential plain and the 2nd

potential plain, and the 1st beer of said large number, and much 2nd beer, On the other hand, while connecting with the above-mentioned 1st potential plain and the 2nd potential plain, respectively, it is good to consider it as a wiring board connecting with the above-mentioned IC contact button on the other hand, respectively.

[0008]Into a wiring board, an earth-potentials plain made into power supply potential, and a power-supply-potential plain to carry out and earth potentials, for example is formed, From this power-supply-potential plain and earth-potentials plain, there is a wiring board of form which extends much power supply wiring and grounding wiring towards IC contact button corresponding to a power supply terminal and an earthing terminal of an IC chip. Thus, in a case where the 1st potential plain and the 2nd potential plain are formed in a wiring board, Inductance in wiring (power supply wiring and grounding wiring) of a portion near [ this / especially ] an IC chip, i.e., inductance of wiring to which between the 1st and 2nd potential plain and IC chips is connected, becomes a problem. Since the area of the 1st and 2nd potential plain is large, resistance and its inductance are small. It is because a noise will invade easily with wiring of a portion near [ this ] an IC chip on the other hand if inductance is large, and it is easy to induce malfunction with an IC chip.

[0009]On the other hand, in this invention, since inductance of the 1st beer and the 2nd beer which are connected to this 1st potential plain and the 2nd potential plain, and are connected also to IC contact button can be made small, only a part of this beer can make small inductance of wiring (power supply wiring and grounding wiring) at least. The 1st and the shape of solid one in which a conductor was formed all over almost [ plain ] as plain the 2nd potential are plain, and also a plain of mesh state which provided many openings can also be used in consideration of adhesion with an insulating layer, etc.

[0010]It is the above-mentioned wiring board and said 1st potential plain

and the 2nd potential plain are good to consider it as a wiring board countering mutually via a high dielectric layer and constituting an electrode of a capacitor, respectively.

[0011]In this invention, since the 1st and 2nd potential plain constitutes an electrode of a capacitor, this capacitor works as a decoupling capacitor. For this reason, a noise which invaded into power supply wiring or grounding wiring by the power supply side from this 1st and 2nd potential plain (capacitor) is absorbed by this capacitor. On the other hand, in wiring between the 1st and 2nd potential plain and an IC chip, since a noise which invades into wiring in the meantime can be made small with the 1st and 2nd beer with small inductance, a noise of power supply potential supplied to an IC chip can be conjointly made still smaller with this.

[0012]As a high dielectric layer, construction material, such as the 1st and 2nd potential plain and an insulating layer, Although what is necessary is to take a process etc. into consideration and just to choose, a composite material etc. which mixed high permittivity ceramics, such as  $\text{BaTiO}_3$ , in resin, such as high permittivity ceramics which use  $\text{BaTiO}_3$  etc. as the main ingredients, an epoxy resin, polyimide resin, BT resin, for example can be used. As high permittivity object ceramics,  $\text{BaTiO}_3$  etc. For example,  $\text{PbTiO}_3$ ,  $\text{PbZrO}_3$ ,  $\text{TiO}_2$ ,  $\text{SrTiO}_3$ ,  $\text{CaTiO}_3$ ,  $\text{MgTiO}_3$ ,  $\text{KNbO}_3$ ,  $\text{NaTiO}_3$ ,  $\text{KTaO}_3$ ,  $\text{RbTaO}_3$ ,  $\text{TiO}(\text{Na}_{1/2}\text{Bi}_{1/2})_3$ ,  $\text{Pb}(\text{Mg}_{1/2}\text{W}_{1/2})\text{O}_3$ ,  $\text{TiO}(\text{K}_{1/2}\text{Bi}_{1/2})_3$ , etc. are mentioned, and should just choose suitably according to the electric capacity and others of a capacitor demanded.

[0013]It is the above-mentioned wiring board and said 1st potential plain and the 2nd potential plain are good to consider it as a wiring board having connected with a terminal of a capacitor carried in the above-mentioned wiring board, respectively.

[0014]In this invention, since the 1st and 2nd potential plain has connected with a terminal of a capacitor in which a wiring board was carried, this carried capacitor works as a decoupling capacitor. For this



reason, a noise which invaded into power supply wiring or grounding wiring by the power supply side from the 1st and 2nd potential plain is absorbed by this capacitor. On the other hand, in wiring between the 1st and 2nd potential plain and an IC chip, since a noise which invades into wiring in the meantime can be made small with beer with small inductance, a noise of power supply potential supplied to an IC chip can be conjointly made still smaller with this.

[0015]It is a wiring board given in one of the above, and it has said two or more insulating layers between said 1st potential plain and the 2nd potential plain, and said IC connecting face, and two or more above-mentioned insulating layers are good to consider it as a wiring board having the 1st beer and the 2nd beer of said arrangement, respectively.

[0016]In a wiring board of this invention, since two or more insulating layers between the 1st and 2nd potential plain and IC connecting face are equipped with the 1st beer and the 2nd beer which inductance is small and were carried out by each, respectively, inductance can be made small especially as a whole.

[0017]Are an IC chip which equips a connecting face with many contact buttons with a wiring board, and the above-mentioned contact button, The 1st contact button of a large number used as an outward trip of current which it is connected to the 1st potential and supplied to an inside, Have the 2nd contact button of a large number which are connected to the 2nd potential and serve as a return trip of the above-mentioned current, and the 1st contact button of above-mentioned a large number, It is mutually arranged in the shape of a lattice, and the 2nd contact button of above-mentioned a large number is mutually arranged in the shape of a lattice, and it is [ the 1st contact button of above-mentioned a large number, and many 2nd contact button ] preferred to consider it as an IC chip arranging at an eye of a respectively mutual lattice.

[0018]In this IC chip, the 2nd contact button used as the 1st contact

button used as an outward trip of current and a return trip is arranged so that it may be mutually located in an eye of a lattice. For this reason, if loading connection of this IC chip is made at a wiring board, a magnetic field by current which flows like a relation of the 1st above-mentioned beer and the 2nd beer between IC contact button of a wiring board and a contact button (the 1st contact button and the 2nd contact button) of an IC chip linked to this will be erased among them mutually. For this reason, inductance in a connection section of an IC chip and a wiring board can be made small. Therefore, a noise which invades from this portion can be reduced and malfunction of an IC chip can be prevented. If it is a publicly known contact button as a contact button of an IC chip, it is applicable to anything, but a ball bump, a solder bump, a pad, etc. which were formed in an IC chip are mentioned, for example.

[0019]

[Embodiment of the Invention](Embodiment 1) A 1st embodiment of this invention is described, referring to Drawings. The wiring board 100 shown in drawing 1 is a wiring board in which IC chip CH can be carried. Among these, IC chip CH equips the connecting face CHB with many solder bumps T which consist of high temperature solder as a contact button with the wiring board 100. It has much grounding vamp TG which accepts power supply vamp TP and earth potentials which accept power supply potential besides signal vamp TS for outputting and inputting a signal in this solder bump T. On the other hand, the wiring board 100 has the vamp 111 of connectable a large number in the IC connecting face 100A which is the upper surface respectively corresponding to the solder bump T of IC chip CH. Other wiring boards, such as a mother board, and the connectable pad 114 are formed in the undersurface 100B.

[0020]The wiring which it comes to laminate the resin insulating layers 101-105 which consist of an epoxy resin of five layers, and the wiring board 100 penetrates between these layers or these, and is prolonged is formed.

Among these, the signal wiring 120 which transmits a signal consists of the signal beer 121, the signal wiring layer 122, and the lower signal beer 123, and is formed near the periphery of the wiring board 100. The signal beer 121 penetrates the resin insulating layer 105 or the resin insulating layers 104 and 105, and connects another side to the vamp 11 connected with signal vamp TS of IC chip CH on the other hand (method of figure Nakagami) at the signal wiring layer 122. The signal wiring layer 122 was formed between layers with the resin insulating layers 104 and 105, or between the layers of 103 and 104, and the lower signal beer 124 linked to this penetrated the resin insulating layers 104-101, or 103-101, and it has connected it to the signal pad 124 among the pads 114. Therefore, input and output of IC chip CH and a signal are possible through the signal wiring 120 from this signal pad 124.

[0021]The power supply wiring 130 which supplies power supply potential becomes IC chip CH from the power supply beer 131, the power-supply-potential plain 132, and the lower power supply beer 133. The power supply beer 131 penetrates the resin insulating layers 102-105, respectively, and connects another side to the vamp 111 corresponding to power supply vamp TP of IC chip CH on the other hand (method of figure Nakagami) at the common power-supply-potential plain 132. The power-supply-potential plain 132 is formed between layers with the resin insulating layers 102 and 103, and is formed in the shape of solid one except for the parts of the opening for maintaining the lower signal beer 123, the lower grounding beer 143 which following-\*\*, and an insulation, etc. The lower power supply beer 134 linked to this power-supply-potential plain 132 penetrated the resin insulating layer 101, and has connected it to the power supply pad 134 among the pads 114. Therefore, supply of power supply potential, therefore supply of power supply current are possible to IC chip CH through the power supply wiring 130 from this power supply pad 134.

[0022]However, as for the lower power supply beer 133, the number is lessened from the power supply beer 131. Since the power-supply-potential plain 132 is formed covering a large area almost comparable as the plane size of the wiring board 100 and it is connectable with the power supply beer 131 or the lower power supply beer 134 in arbitrary positions, a design becomes easy. In addition, since the inductance and resistance which this power-supply-potential plain 132 has can be made very small, the noise of the power supply potential supplied to IC chip CH can be reduced.

[0023]Similarly, the grounding wiring 140 which supplies earth potentials becomes IC chip CH from the grounding beer 141, the earth-potentials plain 142, and the lower grounding beer 143. The grounding beer 141 and the resin insulating layers 103-105 are penetrated, respectively, and another side is connected to the vamp 111 corresponding to grounding vamp TG of IC chip CH on the other hand (method of figure Nakagami) at the common earth-potentials plain 142. Like the power-supply-potential plain 132, the earth-potentials plain 142 is formed between layers with the resin insulating layers 103 and 104, and is formed in the shape of solid one like the power-supply-potential plain 132 except for the parts of the opening for maintaining the lower grounding beer 123, the power supply beer 133, and an insulation, etc. The lower grounding beer 144 linked to this earth-potentials plain 142 penetrated the resin insulating layer 101,102, and has connected it to the ground pad 144 among the pads 114. Therefore, supply of earth potentials, therefore supply of an earth current are possible to IC chip CH through the grounding wiring 140 from this ground pad 144.

[0024]However, as for the lower grounding beer 143, the number is lessened from the grounding beer 141. Since the earth-potentials plain 142 is also formed covering a large area almost comparable as the plane size of the wiring board 100 and it is connectable with the grounding beer 141 or

the lower grounding beer 144 in arbitrary positions, a design becomes easy. In addition, since the inductance and resistance which this earth-potentials plain 142 has can be made very small, the noise of the earth potentials supplied to IC chip CH can be reduced.

[0025]And in this wiring board 100, although it is the same as that of the conventional wiring board shown in drawing 7, unlike the former, arrangement of the formed power supply beer 131 and the grounding beer 141 shows the signal beer 121 to drawing 2 and drawing 3, respectively. First, if it observes about the power supply beer 131, as shown in drawing 3, it is arranged in the shape of [ of the lattice spacing G1 in every direction ] a lattice. On the other hand, if it observes about the grounding beer 141, it is arranged in the shape of [ of the lattice spacing G2 in every direction ] a lattice. The size with the equal lattice spacings G1 and G2 is used. And the power supply beer 131 is located in the center (eye of a lattice) of the lattice which comprises the four grounding beer 141, and conversely, the grounding beer 141 is arranged so that it may be located in the center (eye of a lattice) of the lattice which comprises the four power supply beer 131. If another word is carried out, in drawing 3, it sees to a sliding direction (or longitudinal direction), and the power supply beer 131 and the grounding beer 141 will be in the state where each has been arranged alternately.

[0026]Thus, since the power supply beer 131 and the grounding beer 141 of each other are arranged at the eye of the lattice, when the one power supply beer 131 is observed, the four grounding beer 141 will be located in the surroundings of it. Therefore, if current is sent toward power supply vamp TP of IC chip CH from the power supply pad 134, using this power supply beer 131 as an outward trip, current will flow toward the ground pad 144 from grounding vamp TG of an IC chip via the grounding beer 141 which is a return trip. That is, the current for reverse will flow into the grounding beer 141 in the power supply beer 131. Therefore, the magnetic

field produced around the power supply beer 131 will erase each other in the magnetic field by the grounding beer 141, and the inductance of the power supply beer 131 will look small as a result. The same thing can say also about the grounding beer 141, the magnetic field produced around the grounding beer 141 will erase each other in the magnetic field by the power supply beer 131, and the inductance of the grounding beer 141 will look small as a result.

[0027]Thus, since any inductance of the power supply beer 131 and the grounding beer 141 can be made small, the noise which invades into a power supply or earth potentials from the portions of this power supply beer 131 and the grounding beer 141 can be controlled, and operational stability of IC chip CH can be aimed at. In particular, in this embodiment, since the power-supply-potential plain 132 and the earth-potentials plain 142 were also formed, a noise can be reduced especially with low resistance and low inductance, and power supply potential and earth potentials can be supplied to an IC chip. The power supply beer 131 and the grounding beer 141 which were formed in this embodiment between the power-supply-potential plain 132 and the earth-potentials plain 142, and the IC connecting face 100A, Also in which each class of the resin insulating layer 103,104,105, since it is arranged so that it may be located in the eye of a mutual lattice, it can be made especially low inductance.

[0028]Arrangement of power supply vamp TP among the solder bumps T formed in IC chip CH, and grounding vamp TG, To compensate for arrangement (refer to drawing 3) of the corresponding power supply beer 131 and the grounding beer 141, it is arranged so that it may be arranged in the shape of a lattice, respectively and may be located in the eye of a mutual lattice like this. When loading connection of IC chip CH is made by arranging in this way in the IC mounting surface 100A of the wiring board 100, the inductance in the connection section of power supply vamp TP and grounding vamp TG, and the vamp 111 can also be reduced.

[0029](Modification gestalt 1) Although the above-mentioned Embodiment 1 showed further the case where the beer which formed the conductor in one breakthrough, respectively was used as the power supply beer 131 and the grounding beer 141, A very small interval is vacated, the contiguity beer linked to the same potential is formed in two or more breakthroughs which adjoined mutually and were formed, respectively, and it may be made for the group of these contiguity beer to constitute each beer. For example, as it replaces with each power supply beer 131 and the grounding beer 141 and is shown in drawing 4, A very small interval is opened, it ranks with every two figure Nakagami down, and the group of the contiguity beer 131S and 141S connected to the same potential, such as the power-supply-potential plain 132, the earth-potentials plain 142, or the vamp 111, respectively is formed. The group-like power supply beer 131L is formed by the group of the two contiguity beer 131S, and the group-like grounding beer 141L is formed by the group of the two contiguity beer 141S with this.

[0030]Even when are done in this way and either of the contiguity beer 131S contained in the beer, for example when its attention is paid to the one beer 131L is disconnected for a certain Reason, a flow is secured with the contiguity beer 131S of another side. Therefore, the reliability of the wiring board 100 can be raised more. It is advantageous also to the noise reduction to which the inductance which beer itself has, and resistance can also be reduced. Above, although one beer (group-like beer) was formed with two contiguity beer, each beer may be formed with three or more contiguity beer. Although the path of the contiguity beer 131S and 141S was made smaller than the path of the signal beer 121, it can choose suitably, such as considering it as a path equivalent to the signal beer 121.

[0031](Embodiment 2) It ranks second and a 2nd embodiment is described. Although the wiring board 200 of this embodiment is the same structure as the above-mentioned embodiment, since they differ in that the high

dielectric layer with high specific inductive capacity was made to intervene between a power-supply-potential plain and an earth-potentials plain, it explains focusing on a different portion, and the same portion omits or simplifies explanation. That is, like said wiring board 100, the wiring board 200 shown in drawing 5 laminates a resin insulating layer, and is provided with the signal wiring 120, the power supply wiring 130, and the grounding wiring 140. The power supply wiring 130 and the grounding wiring 140 have the power supply beer 131 and the grounding beer 141, respectively, and these are arranged at the position of the eye of a mutual lattice while each is arranged in the shape of a lattice. For this reason, the inductance of the power supply beer 131 and the grounding beer 141 is controlled. The power-supply-potential plain 132 and the earth-potentials plain 142 are also formed, respectively.

[0032]However, in the above mentioned wiring board 100, to the resin insulating layer 102 having been inserted by this power-supply-potential plain 132 and the earth-potentials plain 142 in the wiring board 200. It differs in that consisted of BaTiO<sub>3</sub> and the high dielectric layer 202 of the specific inductive capacity 50 is pinched by the two plains 132,142. Therefore, the two plains 132,142 which counter mutually via the high dielectric layer 202 and this constitute the capacitor 250. Since this capacitor 250 is inserted between power supply potential and earth potentials and it works as a decoupling capacitor, the noise which invaded into power supply potential or earth potentials can be reduced. That is, the two plains 132,142 function also as an electrode of the capacitor 250.

[0033]Thus, in the wiring board 200, since the decoupling capacitor 250 was formed further, the noise which invades into power supply potential or earth potentials further can be conjointly reduced with having arranged the power supply beer 131 and the grounding beer 141 as mentioned above, and having reduced inductance. Therefore, malfunction of the IC chip to carry can be prevented still more certainly.



[0034](Embodiment 3) A 3rd embodiment is described further. Although the wiring board 300 of this embodiment is the same structure as the above-mentioned Embodiment 1, Since it differs in that carried the chip capacitor 351 in the upper surface (IC connecting face) 300A, and the electrode of the capacitor 351 was connected with the power-supply-potential plain and the earth-potentials plain, respectively, it explains focusing on a different portion, and the same portion omits or simplifies explanation. That is, like said wiring board 100, the wiring board 300 shown in drawing 6 laminates a resin insulating layer, and is provided with the signal wiring 120, the power supply wiring 130, and the grounding wiring 140. The power supply wiring 130 and the grounding wiring 140 have the power supply beer 131 and the grounding beer 141, respectively, and these are arranged at the position of the eye of a mutual lattice while each is arranged in the shape of a lattice. For this reason, the inductance of the power supply beer 131 and the grounding beer 141 is controlled. The power-supply-potential plain 132 and the earth-potentials plain 142 are also formed, respectively.

[0035]However, in the wiring board 300, while the capacitor connection pad 363 is formed in the IC connecting face 300A, the power-supply-potential plain 132 and the earth-potentials plain 142, and the capacitor connection pad 363 are connected by the capacitor beer 361,362, respectively. In the capacitor connection pad 363, the lamination ceramic type chip capacitors 351 differ in that connection loading is carried out with the solder 364. Therefore, since this capacitor 351 is inserted between power supply potential and earth potentials and it works as a decoupling capacitor, the noise which invaded into power supply potential or earth potentials can be reduced.

[0036]Thus, since the decoupling capacitor 351 was further formed in the IC connecting face 300A in the wiring board 300, The noise which invades into power supply potential or earth potentials further can be conjointly

reduced with having arranged the power supply beer 131 and the grounding beer 141 as mentioned above, and having reduced inductance. Therefore, malfunction of the IC chip to carry can be prevented still more certainly.

[0037]in addition -- the above-mentioned Embodiment 3 -- the chip capacitor 351 -- the IC connecting face (upper surface) 300A -- having carried . However, the helicopter loading site of a chip capacitor is good by other parts. For example, it may be made to carry in the undersurface 300B of a wiring board, as a dashed line shows to drawing 6. That is, the capacitor pad 367 is formed in the undersurface 300B, and this capacitor pad 367, the power-supply-potential plain 132, and the earth-potentials plain 142 are connected from the capacitor connection beer 365,366, respectively. It may be made to connect the electrode 356,357 of the chip capacitor 355 to the capacitor pad 367 with the solder 368 further, respectively.

[0038]Although it was based on Embodiments 1-3 and this invention was explained above, this invention is a range which is not limited to the above-mentioned embodiment and does not deviate from the gist, and it cannot be overemphasized that it changes suitably and can apply. For example, although the above-mentioned embodiment showed the example which used power supply potential as the 1st potential, and used earth potentials as the 2nd potential, it is good also considering positive potential and the 2nd potential as negative potential in the 1st potential. Although the solid plain was formed as the power-supply-potential plain 132 or the earth-potentials plain 142, the plain of mesh state which provided the opening in every place may be used. If the plain of mesh state is used, in order that the resin insulating layer 102 and the resin insulating layer 103 may carry out direct continuation, also when the adhesion strength of a resin insulating layer and a plain is low, for example in a plain opening, resin insulating layers can be combined

strongly. Although the lattice spacing of the 1st beer (power supply beer 131) or the 2nd beer (grounding beer 141) shall be set to equal G1 in every direction (it is the direction of 45 slant in drawing 3) or G2 and it shall become a square-like lattice in each above-mentioned embodiment, An interval in every direction shall be differed and it may be made to become a lattice of rectangular form.

#### [Brief Description of the Drawings]

[Drawing 1] It is a sectional view of the wiring board concerning Embodiment 1.

[Drawing 2] It is an explanatory view shown in the state where arrangement of power supply beer and grounding beer was seen through among the wiring boards concerning Embodiment 1.

[Drawing 3] It is an explanatory view showing superficially arrangement of each beer in a L-L section (refer to drawing 1) among the wiring boards concerning Embodiment 1.

[Drawing 4] It is an explanatory view in the wiring board concerning the modification gestalt 1 which constituted each power supply beer and grounding beer from a group of the beer which consists of a group of two contiguity beer showing arrangement of each beer superficially.

[Drawing 5] It is a sectional view of the wiring board concerning Embodiment 2.

[Drawing 6] It is a sectional view of the wiring board concerning Embodiment 3.

[Drawing 7] It is an explanatory view showing the beer arrangement which started the conventional wiring board, has arranged signal beer around, and arranged power supply beer and grounding beer to stripe shape in the center.

#### [Description of Notations]

100 Wiring board

100A IC connecting face

101 and 102,103,104,105 Resin insulating layer (insulating layer)

111 Vamp (IC contact button)

120 Signal wiring

130 Power supply wiring

131,131L Power supply beer (the 1st beer)

132 Power-supply-potential plain (the 1st potential plain)

133 Lower power supply beer

140 Grounding wiring

141,141L Grounding beer (the 2nd beer)

142 Earth-potentials plain (the 2nd potential plain)

143 Lower grounding beer

131S and 141S Contiguity beer

202 High dielectric layer

250 Capacitor

351,355 Chip capacitor

361,362,365,366 Capacitor connection beer

363,367 Pad

CH IC chip

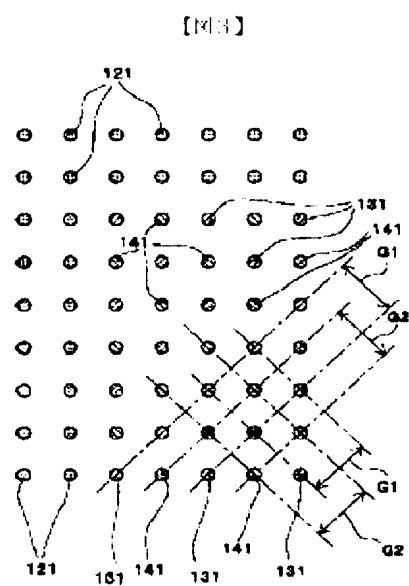
T Solder bump (contact button of an IC chip)

TS Signal vamp

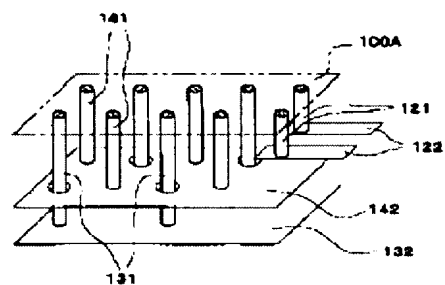
TP Power supply vamp (the 1st contact button)

TG Grounding vamp (the 2nd contact button)

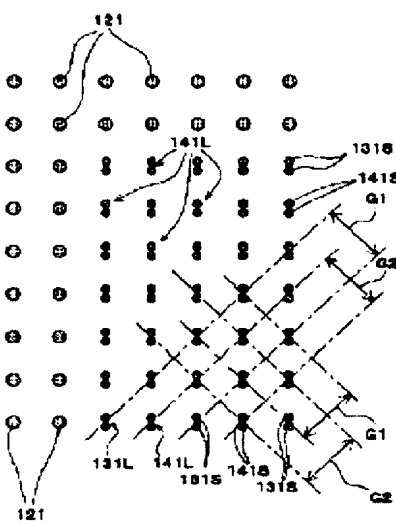
【 141 】



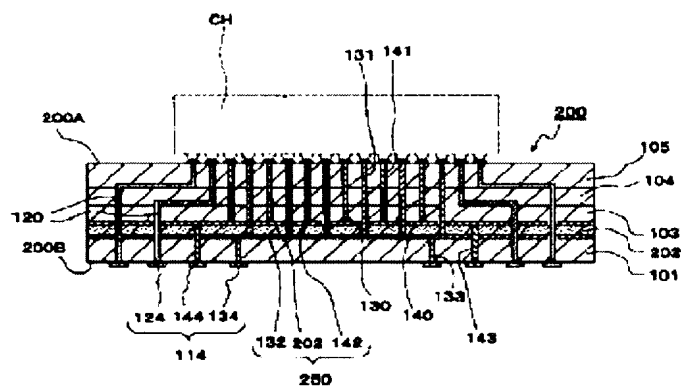
【圖 2】



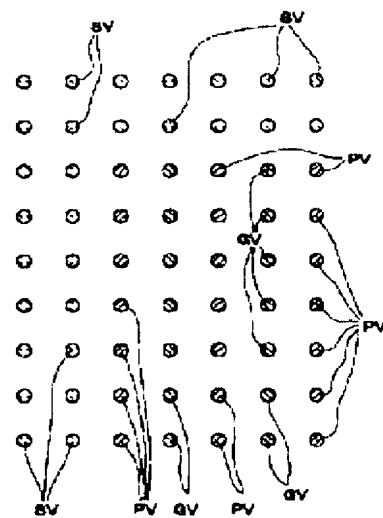
【134】



【例 1】



【図6】



(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2001-44591

(P2001-44591A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	デマコト* (参考)
H 0 5 K	1/11	H 0 5 K	N 5 E 3 1 7
	1/02		N 5 E 3 3 6
	3/46		N 5 E 3 3 8
			Q 5 E 3 4 6
// H 0 5 K	1/18		L
審査請求 未請求 請求項の数 5 O L (全 9 頁)			

(21) 出願番号 特願平11-219686

(22) 出願日 平成11年8月3日 (1999.8.3)

(71) 出願人 000004547

日本特殊陶業株式会社

愛知県名古屋市瑞穂区高辻町14番18号

(72) 発明者 小川 幸樹

名古屋市瑞穂区高辻町14番18号 日本特殊陶業株式会社内

(72) 発明者 小寺 英司

名古屋市瑞穂区高辻町14番18号 日本特殊陶業株式会社内

(74) 代理人 100104167

弁理士 奥田 誠 (外2名)

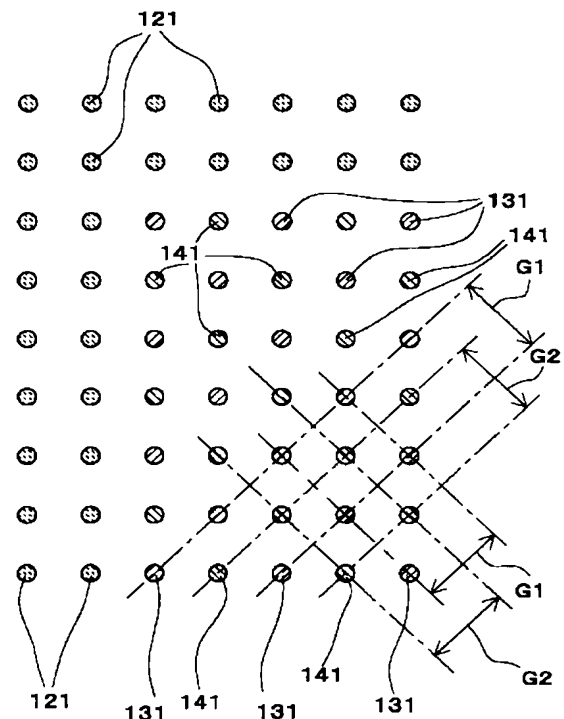
最終頁に続く

(54) 【発明の名称】 配線基板

(57) 【要約】

【課題】 電源電位や接地電位などに接続する多数のビアについて、そのインダクタンスを低減した配線基板を提供すること。

【解決手段】 ICチップCHを搭載するための本発明の配線基板100は、樹脂絶縁層103~105をそれぞれ貫通して形成され、電源電位に接続されてICチップCHへ供給する電流の往路となる多数の電源ビア131、及び、接地電位に接続されて上記電流の復路となる多数の接地ビア141とを備える。電源ビア131同士は互いに格子状に配置され、接地ビア141同士は互いに格子状に配置されている。しかも、電源ビア131と接地ビア141とは、それぞれ互いの格子の目に配置されている。



**【特許請求の範囲】**

【請求項 1】 I C チップを搭載するための配線基板であって、絶縁層と、

上記絶縁層内に形成され、第 1 の電位に接続されて上記 I C チップへ供給する電流の往路となる多数の第 1 ビアと、

上記絶縁層内に形成され、第 2 の電位に接続されて上記電流の復路となる多数の第 2 ビアと、を備え、

上記多数の第 1 ビアは、互いに格子状に配置され、

上記多数の第 2 ビアは、互いに格子状に配置されていると共に、

上記多数の第 1 ビア及び多数の第 2 ビアは、それぞれ互いの格子の目に配置されていることを特徴とする配線基板。

【請求項 2】 請求項 1 に記載の配線基板であって、前記 I C チップと接続する I C 接続端子を有する I C 接続面と、

前記第 1 の電位に接続される第 1 電位プレーンと、

前記第 2 の電位に接続される第 2 電位プレーンと、を備え、

前記絶縁層、多数の第 1 ビア及び多数の第 2 ビアは、上記 I C 接続面と、上記第 1 電位プレーン及び第 2 電位プレーンとの間に位置し、

前記多数の第 1 ビア及び多数の第 2 ビアは、一方で上記第 1 電位プレーン及び第 2 電位プレーンにそれぞれ接続するとともに、他方で上記 I C 接続端子にそれぞれ接続することを特徴とする配線基板。

【請求項 3】 請求項 2 に記載の配線基板であって、前記第 1 電位プレーン及び第 2 電位プレーンは、高誘電体層を介して互に対向してコンデンサの電極をそれぞれ構成していることを特徴とする配線基板。

【請求項 4】 請求項 2 または請求項 3 に記載の配線基板であって、

前記第 1 電位プレーン及び第 2 電位プレーンは、上記配線基板に搭載されたコンデンサの端子にそれぞれ接続していることを特徴とする配線基板。

【請求項 5】 請求項 2 ～請求項 4 のいずれかに記載の配線基板であって、

前記第 1 電位プレーン及び第 2 電位プレーンと前記 I C 接続面との間に、複数の前記絶縁層を有し、

上記複数の絶縁層は、それぞれ前記配置の第 1 ビア及び第 2 ビアを備えることを特徴とする配線基板。

**【発明の詳細な説明】****【0 0 0 1】**

【発明の属する技術分野】 本発明は、電源電位と接地電位など 2 つの電位のいずれかに接続する多数のビアを有する配線基板に関し、特にインダクタンスの小さなビアを有する配線基板に関する。

**【0 0 0 2】**

【従来の技術】 I C チップに電源電位や接地電位を供給するに当たり、I C チップに多数の電源端子や接地端子を設け、配線基板からこれらの端子を通じて、並列に電源電位や接地電位を供給することが行われている。このようにすると、I C チップ内の電源配線や接地配線の引き回しが少なくなり、回路設計が容易になるほか、必要部分に並列に各電位を直接供給することで、低抵抗で供給できるからである。この場合の I C チップの端子の配列は、列をなす電源端子と接地端子とがそれぞれ交互に並ぶストライプ状配列をなすように設計されることが多い。それに伴い、配線基板内のビアの配列も、例えば図 7 に示すようにされる。即ち、ビア配列のうち、周囲には信号を入出力するための信号ビア S V（図 7 では左及び上側 2 列）を形成する。その他、中央（図 7 では右下側 5 × 7 ケ）には、電源電位に接続されて電源配線の一部をなすビア（電源ビア）P V と接地電位に接続されて接地配線の一部をなすビア（接地ビア）G V とを、それぞれ列をなして交互に並ぶストライプ状配列をなすように形成することが多い。なお、では、図 7 では、配線基板内に形成したビア配列のうち、平面視して左上約 4 分の 1 範囲について、ビア配列の様子を示す。

**【0 0 0 3】**

【発明が解決しようとする課題】 しかしながら、上記のようなストライプ状配列では、各電源ビア P V 及び接地ビア G V のインダクタンスを十分低減できなかった。一般に、電流が流れるとその周りには磁界が発生する。ここで、あるビア（例えば電源ビア P V）に流れる電流と同じ向きの電流が隣接するビア（例えば電源ビア P V）に流れる場合には、両者に発生する磁界を強め合うことになる。このため、同じ方向の電流が流れる電源ビア同士（あるいは接地ビア同士）が列をなすストライプ状配列では、発生する磁界を強め合うので各電源ビア P V や接地ビア G V の有するインダクタンスが高くなる。従って、電源ビア P V や接地ビア G V から電源電位や接地電位にノイズが重畳され、I C チップの誤動作を誘発する危険性があった。本発明は、かかる問題点に鑑みてなされたものであって、電源電位や接地電位などに接続する多数のビアについて、そのインダクタンスを低減した配線基板を提供することを目的とする。

**【0 0 0 4】**

【課題を解決するための手段、作用及び効果】 そしてその解決手段は、I C チップを搭載するための配線基板であって、絶縁層と、上記絶縁層内に形成され、第 1 の電位に接続されて上記 I C チップへ供給する電流の往路となる多数の第 1 ビアと、上記絶縁層内に形成され、第 2 の電位に接続されて上記電流の復路となる多数の第 2 ビアと、を備え、上記多数の第 1 ビアは、互いに格子状に配置され、上記多数の第 2 ビアは、互いに格子状に配置されていると共に、上記多数の第 1 ビア及び多数の第 2 ビアは、それぞれ互いの格子の目に配置されていること



を特徴とする配線基板である。

【0005】上記したように、ビアに電流が流れると、その周りには磁界が発生する。ここで、あるビアに流れる電流と逆向きの電流を隣接するビアに流すと、両者に発生する磁界が打ち消しあって、発生する磁界の強さが相対的に小さくなり、ビアに生じるインダクタンスが小さくなる。本発明では、電流の往路となる第1ビアと復路となる第2ビアとが、互いの格子の目に配置されている。このため、例えば、ある第1ビアに注目すると、その周りを第2ビアが取り囲んだ状態となり、第1ビアにより発生する磁界が、逆向きに電流が流れるその周りの第2ビアによって発生する磁界で打ち消されるので、第1ビアのインダクタンスが小さくなる。同様に第2ビアについてもインダクタンスが小さくなり、結局第1、第2ビアのいずれについてもインダクタンスを小さくすることができる。

【0006】なお、第1の電位と第2の電位の組み合わせとしては、例えば、第1の電位として電源電位（+電位：例えば+1.8Vや+5V）、第2の電位として接地電位（0V）としたもの、あるいは、第1の電位として+電位（例えば+5V）、第2の電位として-電位（例えば-5V）としたものなどが挙げられる。また、ビアとしては、絶縁層の厚さ方向に貫通する1つの貫通孔内に形成されたビアの他、ごく小さな間隔を空けて互いに隣接して形成された複数の貫通孔内に、同じ電位に接続する隣接ビアがそれぞれ形成されて1つの組をなしている組状のビア（ビア群）も含まれる。このような組状のビアとすると、何らかの不具合によってその組に属する隣接ビアのいずれかが断線となっても、組状のビア全体としては確実に導通しビアとしての機能を果たさせることができるので、信頼性が高くなって好ましい。絶縁層の材質としては、公知の材料を用いることができるが、例えば、エポキシ樹脂、ポリイミド樹脂、BT樹脂、PPE樹脂などの樹脂を主成分としたもの、連続気孔を有するPTFEなど3次元網目構造のフッ素系樹脂にエポキシ樹脂等の樹脂を含浸させた樹脂-樹脂複合材料等が挙げられる。また、ガラス繊維、ガラス不織布などのガラス繊維やポリアミド繊維などの有機繊維などを用いて、エポキシ樹脂、BT樹脂などの複合化したものを用いても良い。また、アルミナ、窒化アルミニウム、ムライト、ガラスセラミックなどのセラミック、あるいは、樹脂とセラミック粉末とを複合化したものを用いることもできる。

【0007】また、上記配線基板であって、前記ICチップと接続するIC接続端子を有するIC接続面と、前記第1の電位に接続される第1電位プレーンと、前記第2の電位に接続される第2電位プレーンと、を備え、前記絶縁層、多数の第1ビア、及び多数の第2ビアは、上記IC接続面と、上記第1電位プレーン及び第2電位プレーンとの間に位置し、前記多数の第1ビア及び多数の

第2ビアは、一方で上記第1電位プレーン及び第2電位プレーンにそれぞれ接続するとともに、他方で上記IC接続端子にそれぞれ接続することを特徴とする配線基板とすると良い。

【0008】配線基板の中には、例えば、電源電位とする電源電位プレーンや接地電位とする接地電位プレーンを形成し、この電源電位プレーンや接地電位プレーンから、ICチップの電源端子や接地端子に対応するIC接続端子に向けて、多数の電源配線や接地配線を延ばす形式の配線基板がある。このように、第1電位プレーン及び第2電位プレーンが配線基板に形成されている場合においては、特にこれよりICチップに近い部分の配線

（電源配線や接地配線）におけるインダクタンス、つまり、第1、第2電位プレーンとICチップとの間を結ぶ配線のインダクタンスが問題になる。第1、第2電位プレーンは、その面積が大きいため、抵抗もインダクタンスも小さい。一方、これよりICチップに近い部分の配線でインダクタンスが大きいとノイズが侵入しやすくなり、ICチップでの誤動作を誘発しやすいからである。

【0009】これに対し本発明では、この第1電位プレーン及び第2電位プレーンに接続し、IC接続端子にも接続する第1ビア及び第2ビアのインダクタンスを小さくできるので、少なくともこのビアの分だけ、配線（電源配線や接地配線）のインダクタンスを小さくすることができる。なお、第1、第2電位プレーンとしては、プレーンのほぼ全面に導体が形成されたベタ状のプレーンのほか、絶縁層との密着性等を考慮し、開口を多数設けたメッシュ状のプレーンを用いることもできる。

【0010】さらに、上記配線基板であって、前記第1電位プレーン及び第2電位プレーンは、高誘電体層を介して互いに対向してコンデンサの電極をそれぞれ構成していることを特徴とする配線基板とすると良い。

【0011】本発明では、第1、第2電位プレーンがコンデンサの電極を構成しているので、このコンデンサは、デカップリングコンデンサとして働く。このため、この第1、第2電位プレーン（コンデンサ）より電源側で電源配線や接地配線に侵入したノイズは、このコンデンサで吸収される。一方、第1、第2電位プレーンとICチップとの間の配線では、インダクタンスの小さい第1、第2ビアによって、この間の配線に侵入するノイズを小さくできるから、これと相俟って、ICチップに供給される電源電位のノイズをさらに小さくすることができる。

【0012】なお、高誘電体層としては、第1、第2電位プレーンや絶縁層などの材質、製法等を勘案して選択すればよいが、例えば、BaTiO<sub>3</sub>などを主成分とする高誘電率セラミックや、エポキシ樹脂やポリイミド樹脂、BT樹脂などの樹脂に、BaTiO<sub>3</sub>などの高誘電率セラミックを混入した複合材料などを用いることができる。高誘電率セラミックとしては、BaTiO<sub>3</sub>の

ほか、例えば、 $PbTiO_3$ 、 $PbZrO_3$ 、 $TiO_2$ 、 $SrTiO_3$ 、 $CaTiO_3$ 、 $MgTiO_3$ 、 $KNbO_3$ 、 $NaTiO_3$ 、 $KTaO_3$ 、 $RbTaO_3$ 、 $(Na_{1/2}Bi_{1/2})TiO_3$ 、 $Pb(Mg_{1/2}W_{1/2})O_3$ 、 $(K_{1/2}Bi_{1/2})TiO_3$ などが挙げられ、要求されるコンデンサの静電容量その他に応じて適宜選択すればよい。

【0013】また、上記配線基板であって、前記第1電位プレーン及び第2電位プレーンは、上記配線基板に搭載されたコンデンサの端子にそれぞれ接続していることを特徴とする配線基板とすると良い。

【0014】本発明では、第1、第2電位プレーンが配線基板の搭載されたコンデンサの端子と接続しているので、搭載されたこのコンデンサは、デカップリングコンデンサとして働く。このため、第1、第2電位プレーンより電源側で電源配線や接地配線に侵入したノイズは、このコンデンサで吸収される。一方、第1、第2電位プレーンとICチップとの間の配線では、インダクタンスの小さいビアによって、この間の配線に侵入するノイズを小さくできるから、これと相俟って、ICチップに供給される電源電位のノイズをさらに小さくすることができる。

【0015】さらに、上記いずれかに記載の配線基板であって、前記第1電位プレーン及び第2電位プレーンと前記IC接続面との間に、複数の前記絶縁層を有し、上記複数の絶縁層は、それぞれ前記配置の第1ビア及び第2ビアを備えることを特徴とする配線基板とすると良い。

【0016】本発明の配線基板では、第1、第2電位プレーンとIC接続面との間の複数の絶縁層には、いずれもインダクタンスの小さくされた第1ビア、第2ビアをそれぞれ備えるので、全体として特にインダクタンスを小さくすることができる。

【0017】さらに、接続面に配線基板との接続端子を多数備えるICチップであって、上記接続端子は、第1の電位に接続されて内部へ供給する電流の往路となる多数の第1接続端子と、第2の電位に接続されて上記電流の復路となる多数の第2接続端子とを有し、上記多数の第1接続端子は、互いに格子状に配置され、上記多数の第2接続端子は、互いに格子状に配置されていると共に、上記多数の第1接続端子及び多数の第2接続端子は、それぞれ互いの格子の目に配置されていることを特徴とするICチップとするのが好ましい。

【0018】このICチップでは、電流の往路となる第1接続端子と復路となる第2接続端子とが、互いに格子の目に位置するように配置されている。このため、このICチップを配線基板に搭載接続すると、上記した第1ビアと第2ビアとの関係と同様に、配線基板のIC接続端子とこれに接続するICチップの接続端子（第1接続端子や第2接続端子）との間で流れる電流による磁界が互いにうち消される。このため、ICチップと配線基板

との接続部分におけるインダクタンスを小さくすることができる。従って、この部分から侵入するノイズを低減することができ、ICチップの誤動作を防止することができる。なお、ICチップの接続端子としては、公知の接続端子であればいずれのものにも適用できるが、例えば、ICチップに形成したボールバンプやハンダバンプ、パッドなどが挙げられる。

【0019】

【発明の実施の形態】（実施形態1）本発明の第1の実施形態を、図面を参照しつつ説明する。図1に示す配線基板100は、ICチップCHを搭載可能な配線基板である。このうち、ICチップCHは、その接続面CHBに配線基板100との接続端子として、高温ハンダからなるハンダバンプTを多数備えている。このハンダバンプTには、信号を入出力するための信号バンプTSの他、電源電位を受け入れる電源バンプTP及び接地電位を受け入れる接地バンプTGを多数有している。一方、配線基板100は、その上面であるIC接続面100AにICチップCHのハンダバンプTとそれぞれ対応して接続可能な多数のバンプ111を有している。また、下面100Bには、マザーボードなど他の配線基板と接続可能なパッド114が形成されている。

【0020】配線基板100は、5層のエポキシ樹脂からなる樹脂絶縁層101～105が積層されてなり、これらの層間に、あるいはこれらを貫通して延びる配線が形成されている。このうち、信号を伝達する信号配線120は、信号ビア121と信号配線層122と下部信号ビア123とからなり、配線基板100の周縁近傍に形成されている。信号ビア121は、樹脂絶縁層105または樹脂絶縁層104と105とを貫通し、その一方（図中上方）はICチップCHの信号バンプTSと接続するバンプ111に、他方は信号配線層122に接続する。また、信号配線層122は、樹脂絶縁層104と105との層間、または103と104との層間に形成され、これに接続する下部信号ビア124は、樹脂絶縁層104～101または103～101を貫通し、パッド114のうち信号パッド124に接続している。従って、この信号パッド124から信号配線120を通じて、ICチップCHと信号の入出力が可能である。

【0021】ICチップCHに電源電位を供給する電源配線130は、電源ビア131と、電源電位プレーン132と、下部電源ビア133とからなる。電源ビア131は、樹脂絶縁層102～105をそれぞれ貫通し、その一方（図中上方）はICチップCHの電源バンプTPに対応するバンプ111に、他方は共通の電源電位プレーン132に接続する。電源電位プレーン132は、樹脂絶縁層102と103との層間に形成され、下部信号ビア123や次述する下部接地ビア143と絶縁を保つための開口など一部を除きベタ状に形成されている。さらに、この電源電位プレーン132に接続する下部電源

ビア134は、樹脂絶縁層101を貫通し、パッド114のうち電源パッド134に接続している。従って、この電源パッド134からを電源配線130を通じて、ICチップCHへ電源電位の供給、従って電源電流の供給が可能である。

【0022】但し、下部電源ビア133は、電源ビア131よりその数が少なくされている。なお、電源電位プレーン132は、配線基板100の平面寸法とほぼ同程度の広い面積にわたって形成されているため、電源ビア131あるいは下部電源ビア134と任意の位置で接続することができるので、設計が容易になる。そのほか、この電源電位プレーン132の持つインダクタンスや抵抗をごく小さくできるため、ICチップCHに供給する電源電位のノイズを低減することができる。

【0023】同様に、ICチップCHに接地電位を供給する接地配線140は、接地ビア141と、接地電位プレーン142と、下部接地ビア143とからなる。接地ビア141、樹脂絶縁層103～105をそれぞれ貫通し、その一方(図中上方)はICチップCHの接地バンプTGに対応するバンプ111に、他方は共通の接地電位プレーン142に接続する。接地電位プレーン142は、電源電位プレーン132と同様、樹脂絶縁層103と104との層間に形成され、電源電位プレーン132と同様、下部接地ビア123や電源ビア133と絶縁を保つための開口など一部を除きベタ状に形成されている。さらに、この接地電位プレーン142に接続する下部接地ビア144は、樹脂絶縁層101、102を貫通し、パッド114のうち接地パッド144に接続している。従って、この接地パッド144からを接地配線140を通じて、ICチップCHへ接地電位の供給、従って接地電流の供給が可能である。

【0024】但し、下部接地ビア143は、接地ビア141よりその数が少なくされている。なお、接地電位プレーン142も、配線基板100の平面寸法とほぼ同程度の広い面積にわたって形成されているため、接地ビア141あるいは下部接地ビア144と任意の位置で接続することができるので、設計が容易になる。そのほか、この接地電位プレーン142の持つインダクタンスや抵抗をごく小さくできるため、ICチップCHに供給する接地電位のノイズを低減することができる。

【0025】しかも、この配線基板100において、信号ビア121については、図7に示した従来の配線基板と同様であるが、多数形成された電源ビア131及び接地ビア141の配置が、従来とは異なりそれぞれ図2及び図3に示すようになっている。まず、電源ビア131について注目すると、図3に示すように、縦横格子間隔G1の格子状に配置されている。一方、接地ビア141について注目すると、縦横格子間隔G2の格子状に配置されている。なお、格子間隔G1とG2とは等しい大きさにされている。しかも、電源ビア131は、4つの接

地ビア141で構成される格子の中央(格子の目)に位置し、逆に接地ビア141は、4つの電源ビア131で構成される格子の中央(格子の目)に位置するように配置されている。別言すると、図3において上下方向(あるいは左右方向)に見て、電源ビア131及び接地ビア141は、いずれも千鳥状に配置された状態となる。

【0026】このように、電源ビア131と接地ビア141とが互いに格子の目に配置されているため、1つの電源ビア131に注目すると、その周りに4つの接地ビア141が位置することになる。従って、この電源ビア131を往路として用いて、電源パッド134からICチップCHの電源バンプTPに向かって電流を流すと、ICチップの接地バンプTGから、復路である接地ビア141を経由して接地パッド144に向かって電流が流れる。つまり、電源ビア131とは逆向きの電流が接地ビア141に流れることになる。従って、電源ビア131の周りに生じる磁界が、接地ビア141による磁界と打ち消し合い、結果として、電源ビア131のインダクタンスが小さく見えることになる。同様なことが接地ビア141についても言え、接地ビア141の周りに生じる磁界が、電源ビア131による磁界と打ち消し合い、結果として、接地ビア141のインダクタンスが小さく見えることになる。

【0027】このようにして、電源ビア131及び接地ビア141のいずれのインダクタンスをも小さくできるため、この電源ビア131及び接地ビア141の部分から電源や接地電位に侵入するノイズを抑制し、ICチップCHの安定動作を図ることができる。特に、本実施形態では、電源電位プレーン132や接地電位プレーン142をも形成したため、特に低抵抗、低インダクタンスでノイズを低減させて、ICチップに電源電位や接地電位を供給することができる。また、本実施形態では、電源電位プレーン132及び接地電位プレーン142とIC接続面100Aとの間に形成した電源ビア131及び接地ビア141は、樹脂絶縁層103、104、105のいずれの各層においても、互いの格子の目に位置するように配置されているため、特に低インダクタンスにすることができる。

【0028】なお、ICチップCHに形成したハンダバンプTのうち、電源バンプTP及び接地バンプTGの配置も、対応する電源ビア131及び接地ビア141の配置(図3参照)に合わせて、これと同様に、それぞれ格子状に配置され、かつ互いの格子の目に位置するように配置される。このように配置することにより、ICチップCHを配線基板100のIC搭載面100Aに搭載接続した場合に、電源バンプTP及び接地バンプTGとバンプ111との接続部分におけるインダクタンスをも低下させることができる。

【0029】(変形形態1)さらに、上記実施形態1では、電源ビア131及び接地ビア141として、それぞ

れ1つの貫通孔内に導体を形成したビアを用いた場合を示したが、ごく小さな間隔を空けて互いに隣接して形成された複数の貫通孔内に、同じ電位に接続する隣接ビアをそれぞれ形成し、これらの隣接ビアの組によって各ビアを構成するようにしてもよい。例えば、各電源ビア131、接地ビア141に代えて、図4に示すように、ごく小さな間隔を開けて図中上下方向に2つずつ並び、それぞれ電源電位プレーン132、接地電位プレーン142、あるいはバンプ111など同じ電位に接続する隣接ビア131S、141Sの群を形成する。これによって、2つの隣接ビア131Sの群によって組状の電源ビア131Lを、また、2つの隣接ビア141Sの群によって組状の接地ビア141Lを形成する。

【0030】このようにすると、例えば、1つのビア131Lに着目した場合、そのビアに含まれる隣接ビア131Sのいずれかが、何らかの理由で断線した場合でも、他方の隣接ビア131Sによって導通が確保される。従って、配線基板100の信頼性をより向上させることができる。また、ビア自身の持つインダクタンスや抵抗も低下させることが出来る、ノイズ低減にも有利である。なお、上記では、2つの隣接ビアによって1つのビア(組状のビア)を形成したが、3つ以上の隣接ビアによって各ビアを形成してもよい。また、信号ビア121の径より隣接ビア131S、141Sの径を小さくしたが、信号ビア121と同等の径とするなど、適宜選択することが出来る。

【0031】(実施形態2)次いで、第2の実施形態について説明する。本実施形態の配線基板200は、上記実施形態と同様の構造であるが、電源電位プレーンと接地電位プレーンとの間に比誘電率の高い高誘電体層を介在させた点で異なるので、異なる部分を中心に説明し、同様な部分は説明を省略あるいは簡略化する。即ち、図5に示す配線基板200は、前記配線基板100と同様に、樹脂絶縁層を積層してなり、信号配線120や電源配線130、接地配線140を備える。また、電源配線130及び接地配線140は、それぞれ電源ビア131及び接地ビア141を有し、これらは、それぞれが格子状に配置されるとともに、互いの格子の目の位置に配置される。このため、電源ビア131及び接地ビア141のインダクタンスが抑制される。また、それぞれ電源電位プレーン132や接地電位プレーン142も形成されている。

【0032】但し、前記した配線基板100においては、この電源電位プレーン132と接地電位プレーン142とで樹脂絶縁層102が挟まれていたのに対し、配線基板200では、BaTiO<sub>3</sub>からなり比誘電率50の高誘電体層202を2つのプレーン132、142で挟んでいる点で異なる。従って、高誘電体層202及びこれを介して互に対向する2つのプレーン132、142はコンデンサ250を構成する。このコンデンサ2

50は、電源電位と接地電位との間に挿入されて、デカップリングコンデンサとして働くので、電源電位や接地電位に侵入したノイズを低減させることができる。つまり、2つのプレーン132、142は、コンデンサ250の電極としても機能する。

【0033】このように、配線基板200では、さらにデカップリングコンデンサ250を設けたため、電源ビア131や接地ビア141を上述のように配置してインダクタンスを低減させたのと相俟って、さらに電源電位や接地電位に侵入するノイズを低減させることができる。従って、搭載するICチップの誤動作をさらに確実に防止することができる。

【0034】(実施形態3)さらに、第3の実施形態について説明する。本実施形態の配線基板300は、上記実施形態1と同様の構造であるが、その上面(IC接続面)300Aに、チップコンデンサ351を搭載し、コンデンサ351の電極を電源電位プレーンおよび接地電位プレーンとそれぞれ接続した点で異なるので、異なる部分を中心に説明し、同様な部分は説明を省略あるいは簡略化する。即ち、図6に示す配線基板300は、前記配線基板100と同様に、樹脂絶縁層を積層してなり、信号配線120や電源配線130、接地配線140を備える。また、電源配線130及び接地配線140は、それぞれ電源ビア131及び接地ビア141を有し、これらは、それぞれが格子状に配置されるとともに、互いの格子の目の位置に配置される。このため、電源ビア131及び接地ビア141のインダクタンスが抑制される。また、それぞれ電源電位プレーン132や接地電位プレーン142も形成されている。

【0035】但し、配線基板300では、IC接続面300Aにコンデンサ接続パッド363が形成されるとともに、電源電位プレーン132及び接地電位プレーン142とコンデンサ接続パッド363とが、コンデンサビア361、362によってそれぞれ接続されている。さらに、コンデンサ接続パッド363には、積層セラミックタイプのチップコンデンサ351がハンダ364によって接続搭載されている点で異なる。従って、このコンデンサ351は、電源電位と接地電位との間に挿入されて、デカップリングコンデンサとして働くので、電源電位や接地電位に侵入したノイズを低減させることができる。

【0036】このように、配線基板300では、さらにデカップリングコンデンサ351をIC接続面300Aに設けたため、電源ビア131や接地ビア141を上述のように配置してインダクタンスを低減させたのと相俟って、さらに電源電位や接地電位に侵入するノイズを低減させることができる。従って、搭載するICチップの誤動作をさらに確実に防止することができる。

【0037】なお、上記実施形態3では、チップコンデンサ351をIC接続面(上面)300Aの搭載した。

しかしチップコンデンサの搭載位置は他の部位でも良い。例えば、図 6 に破線で示すように、配線基板の下面 300B に搭載するようにしても良い。即ち、下面 300B にコンデンサパッド 367 を形成し、このコンデンサパッド 367 と電源電位プレーン 132 及び接地電位プレーン 142 とを、それぞれコンデンサ接続ビア 365, 366 で接続しておく。その上で、チップコンデンサ 355 の電極 356, 357 を、それぞれハンダ 368 でコンデンサパッド 367 に接続するようにしても良い。

【0038】以上において、本発明を実施形態 1～3 に即して説明したが、本発明は上記実施形態に限定されるものではなく、その要旨を逸脱しない範囲で、適宜変更して適用できることはいうまでもない。例えば、上記実施形態では、第 1 の電位として電源電位を、第 2 の電位として接地電位を用いた例を示したが、第 1 の電位を正電位、第 2 の電位を負電位としても良い。また、電源電位プレーン 132 や接地電位プレーン 142 として、ベタ状のプレーンを形成したが、開口を各所に設けたメッシュ状のプレーンを用いても良い。メッシュ状のプレーンにすると、例えば、プレーンの開口において、樹脂絶縁層 102 と樹脂絶縁層 103 とが直接接続するため、樹脂絶縁層とプレーンとの密着強度が低い場合にも、樹脂絶縁層同士を強く結合させることができる。また、上記各実施形態においては、第 1 ビア（電源ビア 131）あるいは第 2 ビア（接地ビア 141）の格子間隔を、縦横（図 3 においては、斜め 45 度方向）等しい G1 あるいは G2 とし、正方形の格子となるものとしたが、縦横の間隔を異なるものとし、長方形の格子となるようにしてもよい。

#### 【図面の簡単な説明】

【図 1】実施形態 1 にかかる配線基板の断面図である。

【図 2】実施形態 1 にかかる配線基板のうち、電源ビア及び接地ビアの配置を透視した状態に示す説明図である。

【図 3】実施形態 1 にかかる配線基板のうち、L-L 断面（図 1 参照）における各ビアの配置を平面的に示す説

明図である。

【図 4】各電源ビア及び接地ビアを 2 つの隣接ビアの組からなるビアの組で構成した変形形態 1 にかかる配線基板における、各ビアの配置を平面的に示す説明図である。

【図 5】実施形態 2 にかかる配線基板の断面図である。

【図 6】実施形態 3 にかかる配線基板の断面図である。

【図 7】従来の配線基板にかかり、周囲に信号ビアを配置し、中央に電源ビアと接地ビアとをストライプ状に配列したビア配列を示す説明図である。

#### 【符号の説明】

100 配線基板

100A IC 接続面

101, 102, 103, 104, 105 樹脂絶縁層（絶縁層）

111 バンプ（IC 接続端子）

120 信号配線

130 電源配線

131, 131L 電源ビア（第 1 ビア）

132 電源電位プレーン（第 1 電位プレーン）

133 下部電源ビア

140 接地配線

141, 141L 接地ビア（第 2 ビア）

142 接地電位プレーン（第 2 電位プレーン）

143 下部接地ビア

131S, 141S 隣接ビア

202 高誘電体層

250 コンデンサ

351, 355 チップコンデンサ

361, 362, 365, 366 コンデンサ接続ビア

363, 367 パッド

CH IC チップ

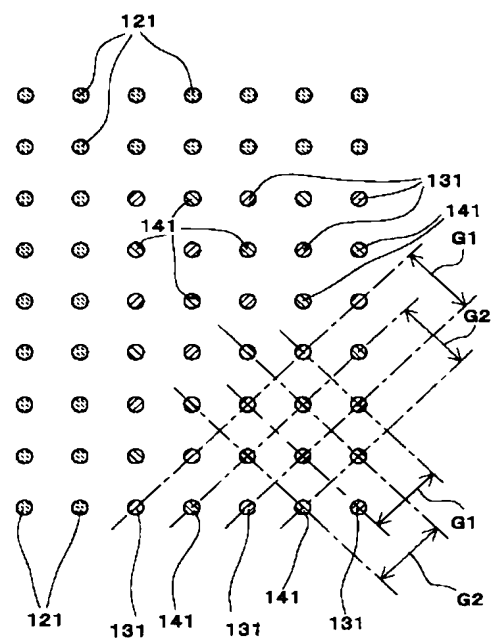
T ハンダバンプ（IC チップの接続端子）

TS 信号バンプ

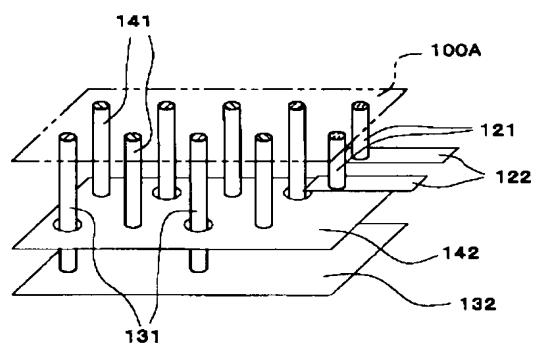
TP 電源バンプ（第 1 接続端子）

TG 接地バンプ（第 2 接続端子）

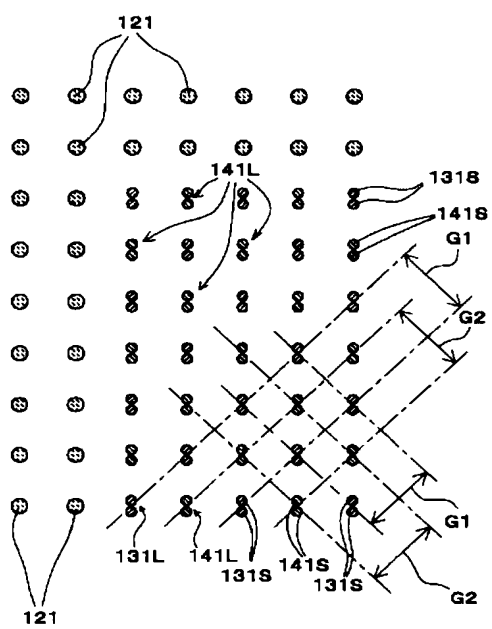
【图 3】



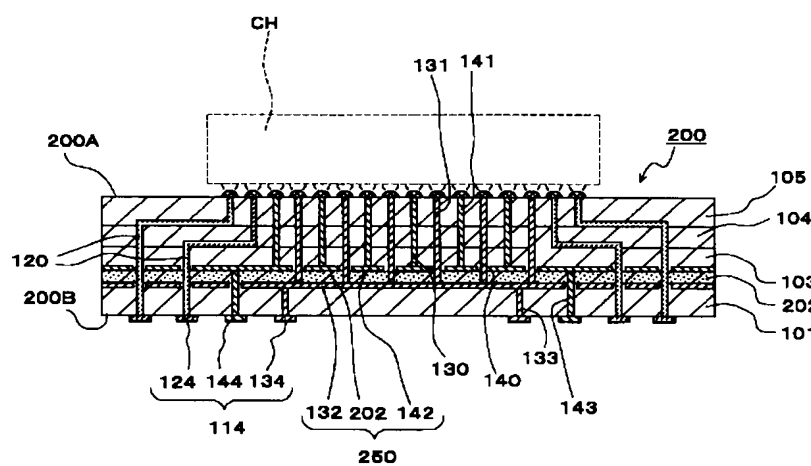
【图 2】



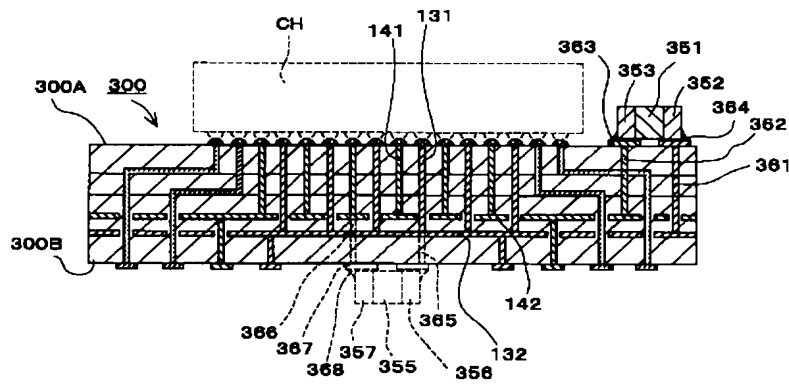
【图 4】



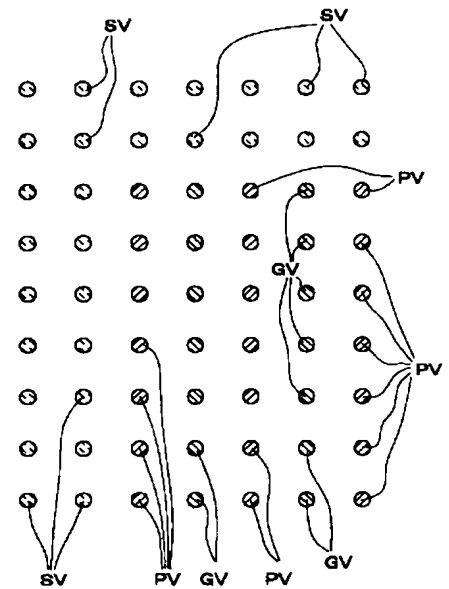
【图 5】



【図6】



【図7】



フロントページの続き

F ターム(参考) 5E317 AA24 BB02 BB03 BB04 BB11  
CC25 GG11  
5E336 AA04 BB03 BB15 BB18 BC28  
BC34 CC34 CC36 CC44 CC53  
CC58 EE01 GG11  
5E338 AA03 AA16 AA18 BB16 BB23  
BB61 BB75 CC01 CC04 CC06  
EE13  
5E346 AA06 AA12 AA13 AA43 AA54  
BB07 CC09 CC10 CC17 CC19  
HH04